

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004年3月4日 (04.03.2004)

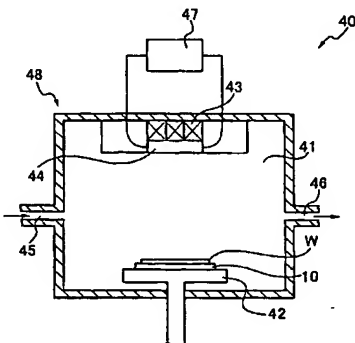
PCT

(10) 国際公開番号
WO 2004/019388 A1

- (51) 国際特許分類: **H01L 21/02**, 21/304, 21/306 (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (21) 国際出願番号: PCT/JP2003/009338
- (22) 国際出願日: 2003年7月23日 (23.07.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-240578 2002年8月21日 (21.08.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社ディスコ (DISCO CORPORATION) [JP/JP]; 〒144-0033 東京都大田区東糀谷2-14-3 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 荒井 一尚 (ARAI, Kazuhisa) [JP/JP]; 〒144-0033 東京都大田区東糀谷2-14-3 株式会社ディスコ内 Tokyo (JP).
- (74) 代理人: 佐々木 功, 外 (SASAKI, Isao et al.); 〒105-0001 東京都港区虎ノ門1丁目2番29号 虎ノ門産業ビル6階 佐々木内外国特許商標事務所 Tokyo (JP).
- (84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: METHOD FOR FABRICATING SEMICONDUCTOR WAFER

(54) 発明の名称: 半導体ウェーハの製造方法



(57) Abstract: A supporting substrate (10) having a flat supporting face is integrated with a semiconductor wafer W while supporting the surface thereof on the supporting face of the supporting substrate (10). The semiconductor wafer W integrated with the supporting substrate (10) is polished or etched on the back thereof using a thinning device and a film is formed on the back of the semiconductor wafer W integrated with the supporting substrate (10) using a film forming device (40). Since the semiconductor wafer W is integrated with the supporting substrate, even a semiconductor wafer as thin as 100 μ m or less is not warped and thereby the film can be formed uniformly.



(57) 要約:

平坦な支持面を有する支持基板 10 の支持面において半導体ウェーハ W の表面を支持して支持基板 10 と半導体ウェーハ W とを一体とし、薄加工装置を用いて支持基板 10 と一体となった半導体ウェーハ W の裏面を研磨またはエッチングして薄加工を行った後に、膜形成装置 40 を用い、支持基板 10 と一体となった半導体ウェーハ W の裏面に膜を形成する。半導体ウェーハ W は支持基板と一体となっているため、厚さが 100 μm 以下のように薄く形成された半導体ウェーハでもそりが生じないため、膜を均一に形成することができる。

明 細 書

半導体ウェーハの製造方法

5 技術分野

本発明は、裏面に膜が形成される半導体ウェーハの製造方法に関する。

背景技術

近年の半導体チップの薄型化に伴い、半導体チップを上下に積層して機能、処理能力、記憶容量等の向上を図った積層チップが実用化されており、これによって携帯電話機、ノートブック型パソコン等の薄型化、小型化、軽量化が可能となっている。

積層チップの製造においては、半導体ウェーハの段階で、回路が形成された表面から裏面に至る電極を埋設し、裏面の機械的研磨または化学的エッチングを行うことにより電極を露出させると共に、電極を構成する銅等の金属がシリコン等の半導体内部に拡散するのを防止するために、半導体ウェーハの裏面に SiO_2 膜等の絶縁膜を形成している。

また、半導体ウェーハの表面にパワートランジスタ等の回路を形成した後に、半導体ウェーハの裏面を研磨またはエッチングし、その裏面に Ti 、 Ag 、 Au 等の金属膜を数十 nm の厚さで形成して半導体ウェーハを構成する技術も実用に供されている。

このように表面に回路が形成された半導体ウェーハの裏面を研磨等して薄く形成した後に裏面に膜を形成する場合においては、半導体チップの熱的及び電気的特性を良好にするために、半導体ウェーハを極力薄く形成することが必要とされる。

しかしながら、半導体ウェーハの厚さを、例えば $100\mu\text{m} \sim 15\mu\text{m}$ ほどに

すると、半導体ウェーハにそりが生じて膜の形成に支障が生じ、膜を均一に形成することができないという問題がある。

特に、膜の形成に、減圧環境で膜を形成する膜形成手段を備えた減圧成膜装置を用いると、半導体ウェーハを保持する保持テーブルにおいて吸引力を使用することができず、静電式にて半導体ウェーハを保持することとなるため、膜の応力が静電式の保持テーブルの保持力に抗してそりを生じさせることとなり、膜を均一に形成することができなくなる。

従って、半導体ウェーハにそりが生じない程度の剛性を持たせるために、その厚さは現状では200 μ m程度が限界となっており、それより薄く形成することはできないという問題がある。

このように、半導体ウェーハの裏面に膜を形成する場合においては、半導体ウェーハをより薄く形成した場合にも、均一な膜の形成を可能とすることに課題を有している。

15 発明の開示

上記課題を解決するために具体的手段として本発明は、表面に回路が形成された半導体ウェーハの裏面に膜を形成する半導体ウェーハの製造方法であって、平坦な支持面を有する支持基板の支持面において半導体ウェーハの表面を支持して支持基板と半導体ウェーハとを一体とする一体化工程と、半導体ウェーハを薄く加工する薄加工装置を用い、支持基板と一体となった半導体ウェーハの裏面を均一に除去して半導体ウェーハを薄加工する薄加工工程と、膜形成装置を用い、支持基板と一体となった半導体ウェーハの裏面に膜を形成する膜形成工程とから少なくとも構成される半導体ウェーハの製造方法を提供する。

そしてこの半導体ウェーハの製造方法は、薄加工装置が、半導体ウェーハを保持するチャックテーブルと、チャックテーブルに保持された半導体ウェーハに作用する薄加工手段とを有し、半導体ウェーハと一体となった支持基板をチャック

テーブルにおいて保持し、半導体ウェーハの裏面に薄加工手段を作用させて薄加工工程を遂行すること、膜形成装置が、半導体ウェーハを保持する保持部と、保持部に保持された半導体ウェーハの面に膜を形成する膜形成手段とを有し、薄加工後の半導体ウェーハと一体となった支持基板を保持部において保持し、膜形成手段によって半導体ウェーハの裏面に膜を形成すること、薄加工装置が、薄加工手段として研磨手段を備えた研磨装置であること、膜形成装置が、減圧環境で膜を形成する膜形成手段を備えた減圧成膜装置であること、支持基板はガラス基板であり、薄加工工程においては半導体ウェーハの厚さが $100\mu\text{m}\sim 15\mu\text{m}$ となるように加工されること、ガラス基板の厚さが $1\text{mm}\sim 3\text{mm}$ であること、半導体ウェーハが、樹脂からなる接着剤を介して支持基板に貼着されることを付加的な要件とする。

このように構成される半導体ウェーハの製造方法によれば、半導体ウェーハが剛性の高い支持基板によって支持された状態で膜形成工程が遂行されるため、薄加工工程において厚さが $100\mu\text{m}$ 以下のように極めて薄く加工された半導体ウェーハであってもそりが生じることがなく、膜を形成することができる。

図面の簡単な説明

第1図は、本発明が適用される半導体ウェーハの一例を示す斜視図である。

第2図は、同半導体ウェーハと一体化される支持基板の一例を示す斜視図である。

第3図は、同半導体ウェーハと支持基板とが一体化された状態を示す斜視図である。

第4図は、本発明を構成する薄加工工程に用いる研磨装置の一例を示す斜視図である。

第5図は、本発明を構成する膜形成工程に用いる減圧成膜装置の一例を示す略示的断面図である。

発明を実施するための最良の形態

本発明の実施の形態の一例として、第1図に示す半導体ウェーハWの裏面を研磨またはエッチングした後に膜を形成する場合について説明する。この半導体ウェーハWの表面には、所定の間隔を置いて複数のストリートSが格子状に形成されており、ストリートSによって区画された多数の矩形領域には回路パターンが施されている。そして、ストリートSを切削することにより、各矩形領域が半導体チップCとなる。

この半導体ウェーハWの裏面の研磨及び膜の形成前に、第2図に示す支持基板10と一体とする。この支持基板10は、研磨によって厚さが100 μ m以下のように極めて薄くなった半導体ウェーハを湾曲させずに安定的に支持することができるように剛性の高い部材により構成され、例えばガラス基板を用いることができる。また、ガラスの他に、セラミックス、合金、金属、樹脂等を用いることもできる。ガラス基板を用いた場合には、その厚さは1mm～3mm程度とすることが望ましい。

支持基板10の支持面である表面10a及び裏面は平坦に形成され、第3図に示すように、支持基板10の表面10aと半導体ウェーハWの表面とが対面するように、接着剤によって両者を貼着して一体とすることにより、表面10aにおいて半導体ウェーハWを支持する（一体化工程）。半導体ウェーハWは、この状態では、回路が形成されていない裏面が露出している。

接着剤としては、アクリル系、エステル系、ウレタン系等の樹脂からなる接着剤を用いることが好ましい。また、支持基板10としてガラス基板を用いた場合には、接着剤として紫外線により接着力が低下するタイプのものを使用すれば、後にガラス基板を透過させて接着剤に紫外線を照射することができるため、支持基板10と半導体ウェーハWとの剥離を容易に行うことができる。

次に、上記のようにして支持基板10に支持された半導体ウェーハWの裏面を

研磨して薄加工を行う。薄加工には、適宜の薄加工装置、例えば第４図に示す研磨装置２０を使用することができる。

研磨装置２０においては、基台２１の端部から立設した壁部２２の内側の面に一対のレール２３が垂直方向に配設されており、レール２３に沿って支持板２４が昇降するのに伴って支持板２４に取り付けられた薄加工手段である研磨手段２５が上下動するよう構成されている。また、基台２１上には、ターンテーブル２６が回転可能に配設され、更にターンテーブル２６上には研磨対象物を保持するチャックテーブル２７が回転可能に複数配設されている。

研磨手段２５においては、垂直方向の軸心を有するスピンドル２８の先端にマウンタ２９を介して研磨ホイール３０が装着されており、研磨ホイール３０の下面には研磨砥石３１が固着され、スピンドル２８の回転に伴って研磨砥石３１が回転する構成となっている。

支持基板１０と一体化された半導体ウェーハＷは、支持基板１０の裏面がチャックテーブル２７に保持されることにより支持され、ターンテーブル２６の回転によって研磨手段２５の直下に位置付けられ、半導体ウェーハＷの裏面が上を向いた状態で研磨砥石３１と対峙する。

そして、研磨砥石３１が回転しながら研磨手段２５が下降して半導体ウェーハＷの裏面に作用して押圧力が加えられることにより裏面が研削され、この研磨を所定量行うことにより、裏面が所定量除去され、半導体ウェーハＷが薄加工されて所望の厚さ、例えば１００μｍ～１５μｍの厚さに形成される（薄加工工程）。なお、薄加工装置としては、研磨装置２０の他に、ドライエッチング装置、ウェットエッチング装置等を用いることもできる。また、研磨した後に研磨面をエッチングすることを可能にするために、研磨装置とエッチング装置とを組み合わせてもよい。

次に、適宜の膜形成装置を用いて、薄加工された半導体ウェーハＷの裏面に膜を形成する。膜形成手段としては、ＰＶＤ（Physical Vapor D

eposition) 装置、CVD (Chemical Vapor Deposition) 装置を用いることができる。以下では第 5 図に示す減圧成膜装置 40 を使用する場合について説明する。

この減圧成膜装置 40 においては、スパッタチャンバー 41 の内部に静電式に
5 て板状物を保持する保持部 42 が配設されており、その上方の対向する位置には
励磁部材 43 に支持されてスパッタ源 44 が配設されている。このスパッタ源 44
4 には、高周波電源 47 が連結されている。また、スパッタチャンバー 41 の一
方の側部には、スパッタガスを導入する導入口 45 が設けられ、もう一方の側部
には減圧源に連通する減圧口 46 が設けられている。そして、スパッタチャンバ
10 ー 41 と励磁部材 43 とスパッタ源 44 と導入口 45 と減圧口 46 と高周波電源
47 とで膜形成手段 48 を構成している。

半導体ウェーハ W と一体となった支持基板 10 の裏面が保持部 42 に保持され
ることにより、半導体ウェーハ W の裏面がスパッタ源 44 に対向して保持される。
そして、励磁部材 43 によって磁化されたスパッタ源 44 に高周波電源 47 から
15 40 kHz 程度の高周波電力をくわえ、減圧口 46 からスパッタチャンバー 41
の内部を 10^{-2} Pa \sim 10^{-4} Pa 程度に減圧して減圧環境にすると共に、導入口
45 からアルゴンガスを導入してプラズマを発生させると、プラズマ中のアルゴ
ンイオンがスパッタ源 44 に衝突して粒子がはじき出されて半導体ウェーハ W の
裏面に堆積し、膜が形成される（膜形成工程）。

20 上記のようにして行う膜の形成時には、スパッタチャンバー 41 の内部が真空
に近い状態となり、保持部 42 において半導体ウェーハ W を吸着することはでき
ないため、静電式にて保持しているが、静電式の保持部 42 において薄くなった
半導体ウェーハ W を直接保持することとすると、吸着式に比べて保持力が弱いた
めに、薄くなった半導体ウェーハ W にはそりが生じてしまう。

25 しかし、本発明においては、そりが生じない剛性の高い支持基板 10 を介して
これと一体となった半導体ウェーハ W を保持することができるため、薄加工によ

って厚さが $100\mu\text{m}\sim 15\mu\text{m}$ ほどに形成された半導体ウェーハであってもそりが生じることがない。従って、半導体ウェーハWの裏面に高精度に均一な膜を形成することができる。

5 産業上の利用可能性

以上説明したように、本発明に係る半導体ウェーハの製造方法によれば、半導体ウェーハが剛性の高い支持基板によって支持された状態で膜形成工程が遂行されるため、薄加工工程において厚さが $100\mu\text{m}$ 以下のように極めて薄く加工された半導体ウェーハであってもそりが生じることがない。従って、極めて薄い半導体ウェーハの裏面にも均一な膜を形成することができ、半導体ウェーハのより一層の薄型化が可能となる。特に、膜形成工程が減圧環境で行われる場合には、吸着により半導体ウェーハを保持することができないにもかかわらず、そりを生じさせることなく膜を形成することができるという優れた効果を奏する。

請 求 の 範 囲

1. 表面に回路が形成された半導体ウェーハの裏面に膜を形成する半導体ウェーハの製造方法であって、

- 5 平坦な支持面を有する支持基板の該支持面において半導体ウェーハの表面を支持して該支持基板と該半導体ウェーハとを一体とする一体化工程と、

半導体ウェーハを薄く加工する薄加工装置を用い、該支持基板と一体となった半導体ウェーハの裏面を均一に除去して半導体ウェーハを薄加工する薄加工工程と、

- 10 膜形成装置を用い、支持基板と一体となった半導体ウェーハの裏面に膜を形成する膜形成工程と

から少なくとも構成される半導体ウェーハの製造方法。

2. 薄加工装置は、半導体ウェーハを保持するチャックテーブルと、該チャック

- 15 テーブルに保持された半導体ウェーハに作用する薄加工手段とを有し、

半導体ウェーハと一体となった支持基板を該チャックテーブルにおいて保持し、該半導体ウェーハの裏面に該薄加工手段を作用させて薄加工工程を遂行する請求の範囲第1項に記載の半導体ウェーハの製造方法。

- 20 3. 膜形成装置は、半導体ウェーハを保持する保持部と、該保持部に保持された半導体ウェーハの面に膜を形成する膜形成手段とを有し、

薄加工後の半導体ウェーハと一体となった支持基板を該保持部において保持し、該膜形成手段によって該半導体ウェーハの裏面に膜を形成する請求の範囲第1項に記載の半導体ウェーハの製造方法。

4. 薄加工装置は、薄加工手段として研磨手段を備えた研磨装置である請求の範囲第2項に記載の半導体ウェーハの製造方法。

5. 膜形成装置は、減圧環境で膜を形成する膜形成手段を備えた減圧成膜装置である請求の範囲第3項に記載の半導体ウェーハの製造方法。

6. 支持基板はガラス基板であり、薄加工工程においては半導体ウェーハの厚さが $100\mu\text{m} \sim 15\mu\text{m}$ となるように加工される請求の範囲第1項に記載の半導体ウェーハの製造方法。

10

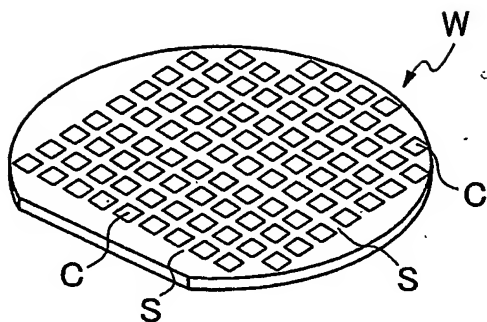
7. ガラス基板の厚さは $1\text{mm} \sim 3\text{mm}$ である請求の範囲第6項に記載の半導体ウェーハの製造方法。

8. 半導体ウェーハは、樹脂からなる接着剤を介して支持基板に貼着される請求の範囲第1項に記載の半導体ウェーハの製造方法。

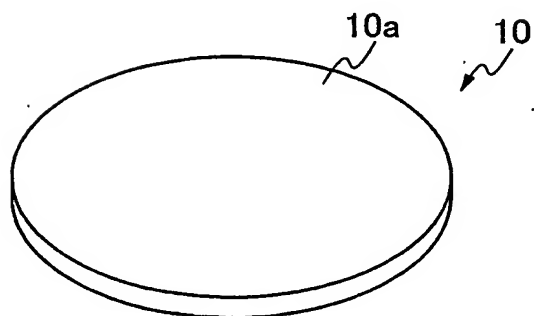
15

1/3

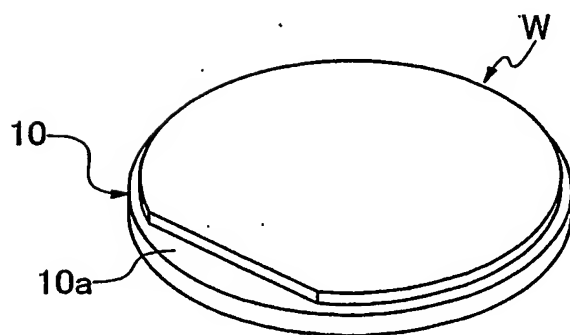
第 1 図



第 2 図

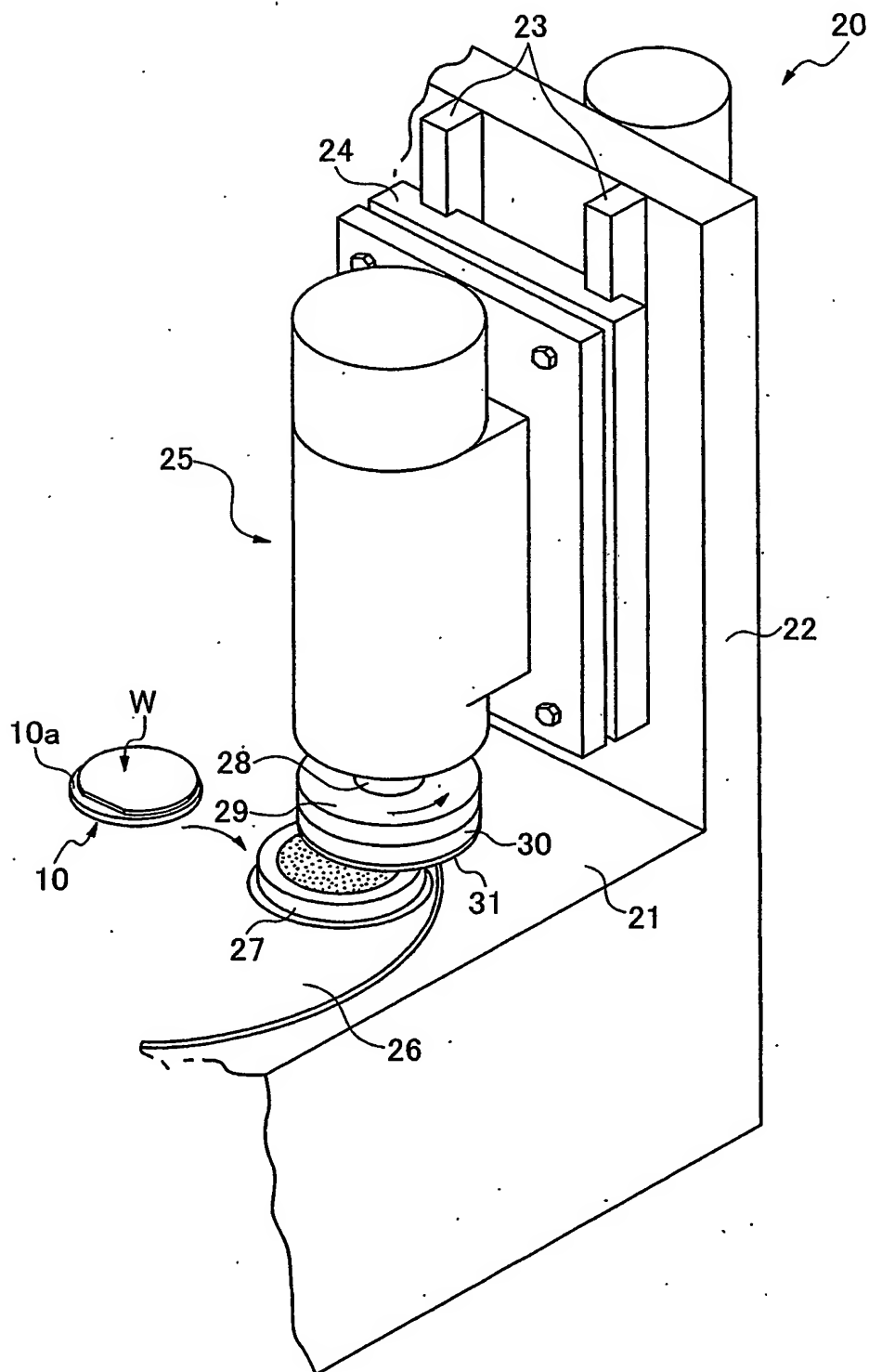


第 3 図

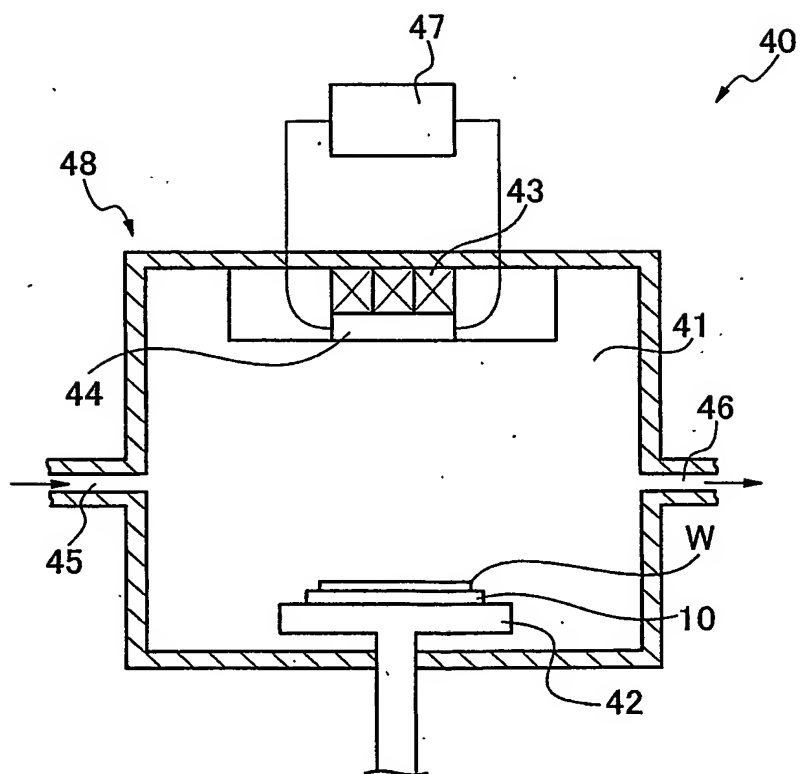


2/3

第 4 図



第 5 図



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/09338

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/02, H01L21/304, H01L21/306

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/02, H01L21/304, H01L21/306

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-75940 A (Hitachi, Ltd.), 15 March, 2002 (15.03.02), Full text; Figs. 1 to 16 (Family: none)	1-8
A	JP 2000-40677 A (Nippon Telegraph And Telephone Corp.), 08 February, 2000 (08.02.00), Full text; Figs. 1 to 3 (Family: none)	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>
--	---

Date of the actual completion of the international search
14 October, 2003 (14.10.03)

Date of mailing of the international search report
28 October, 2003 (28.10.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L 21/02, H01L 21/304, H01L 21/306

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L 21/02, H01L 21/304, H01L 21/306

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2002-75940 A (株式会社日立製作所) 2002.03.15, 全文, 第1-16図 (ファミリーなし)	1-8
A	J P 2000-40677 A (日本電信電話株式会社) 2000.02.08, 全文, 第1-3図 (ファミリーなし)	1-8

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

14.10.03

国際調査報告の発送日

28.10.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P).
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 大嶋 洋一

4 L 9 1 7 0

電話番号 03-3581-1101 内線 6764